

Korean Patent Abstracts

(11) Publication Number: 1020010100749 A

(43) Date of publication of application: 14.11.2001

(21) Application number: 1020000059635

(22) Date of filing: 11.10.2000

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.

(72)Inventor : Jeong-Ho LEE
Jeong-Sik CHOI
Hong-Gi KIM
Dong-Jun LEE
Dae-Won KANG
Sang-Mun JEON

(74)Attorney: Young-Woo PARK

(51)Int'. Cl **H01L 21/316**

(54) SPIN-ON-GLASS COMPOSITION AND METHOD FOR MANUFACTURING SILICON OXIDE LAYER OF SEMICONDUCTOR DEVICE USING THE SAME

(57) Abstract:

A method for manufacturing a silicon oxide layer of a semiconductor device using a spin-on-glass(SOG) composition is provided to form a silicon oxide layer without a void and with a planarization degree enough for a memory device more than 256 mega.

CONSTITUTION: Spin-on-glass(SOG) solution including polysilazane is applied on a semiconductor substrate having a step portion to form a planarized SOG layer. The polysilazane has a structure of $(\text{SiH}_2\text{NH})_n$, wherein n is an integer, a weight average molecular weight of 4,000 to 8,000, and a molecular weight distribution of 3.0 to 4.0. The planarized SOG layer is hardened under a water vapor at atmosphere.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/316

(11) 공개번호 특2001-0100749
(43) 공개일자 2001년11월14일

(21) 출원번호 10-2000-0059635
(22) 출원일자 2000년10월11일
(30) 우선권주장 1020000023448 2000년05월02일 대한민국(KR)
(71) 출원인 삼성전자 주식회사 윤종용
경기 수원시 팔달구 매탄3동 416
(72) 발명자 이정호
경기도수원시팔달구영통동신나무실주공아파트506동904호
최정식
경기도성남시분당구구미동20금성백조빌라204동104호
김홍기
서울특별시성북구석관동두산아파트118동1903호
이동준
경기도용인시수지읍한성아파트106동404호
강대원
서울특별시관악구신림동409-260
전상문
경기도성남시분당구구미동대림아파트110동2502호
(74) 대리인 박영우

심사청구 : 있음

(54) 스펀온글래스 조성을 및 이를 이용한 반도체 장치의 산화실리콘막 형성 방법

요약

SOG를 이용하여 어스펙트비가 높은 VLSI 급의 배선층간의 갭을 매립할 수 있고, CVD산화막과 실질적으로 동일한 특성을 갖는 반도체 장치의 산화 실리콘막의 제조 방법이 개시되어 있다. 상면상에 형성된 단차부를 갖는 기판상에 구조식이, $-(SiH_nH)_{n-1}-(SiH_nH)_n-$ (식중, n은 양의 정수이다)이고, 중량평균 분자량이 4000 내지 8000이고, 분자량 분포도가 3.0 내지 4.0인 폴리실라잔을 포함하는 SOG 용액을 도포하여 평탄한 SOG막을 형성한다. 상기 SOG막을 수증기 분위기에서 경화하여 평탄한 표면을 갖는 산화 실리콘막을 형성한다.

도표도

도1

영세서

도면의 간단한 설명

도 1은 본 발명에 따른 SOG 용액의 전단 속도 변화에 따른 점도 변화를 나타낸 그래프이다.
도 2a 내지 도 2k는 본 발명의 일 실시예에 따른 반도체 장치의 산화 실리콘막 형성 방법을 나타내기 위한 단면도들이다.
도 3은 SOG막을 예비 베이킹한 후, 측정된 광흡수도를 나타내는 FT-IR 차트이다.
도 4는 SOG막을 베이킹한 후, 측정된 광흡수도를 나타내는 FT-IR 차트이다.
도 5a 내지 도 5g는 본 발명의 일 실시예에 따른 산화 실리콘막 제조 방법에 의해 제조된 산화막과 종래의 CVD방법에 의해 제조된 산화 실리콘막과의 예칭 속도를 비교하는 그래프들이다.

발명의 상세한 설명

발명의 목적

본 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 공정에서의 산화 실리콘막을 형성하기 위한 스피온글래스(이하, 증증 SOG라 한다) 조성물, 이에 의해 제조된 반도체 장치 및 이를 이용하여 산화 실리콘막을 형성하는 방법에 관한 것이다. 보다 구체적으로, 본 발명은 반도체 제조 공정에서 절연막으로 사용되는 산화 실리콘막을 제조하기 위한 퍼하이드로 폴리실라잔을 포함하는 스피온-글래스 조성물 및 이를 이용하여 산화 실리콘막을 제조하는 방법에 관한 것이다.

2. 관련 기술

근래에 컴퓨터와 같은 정보 매체의 급속한 보급에 따라 반도체 장치도 비약적으로 발전하고 있다. 그 기능 면에 있어서, 반도체 장치는 고속으로 동작하는 동시에 대용량의 저장 능력을 가질 것이 요구된다. 이러한 요구에 부응하여 반도체 장치는 집적도, 신뢰성 및 응답속도 등을 향상시키는 방향으로 제조 기술이 발전되고 있다.

집적 회로를 제조하기 위하여는, 단일 기판상에 많은 활성 소자를 형성하여야 한다. 처음에는 각 소자들을 서로 절연되어야 하지만, 회로의 소기 기능을 얻기 위하여는 제조 공정 도중에 특정 소자들을 전기적으로 상호 접속하여야 할 필요가 있게 되었다. MOS 및 바이폴라 VLSI 및 ULSI 장치들은 상기 소자들의 많은 상호 접속을 도모하는 다층 상호 접속(multilevel interconnection) 구조를 갖는다. 이와 같은 상호 접속 구조에서, 층수(number of layers)가 증가함에 따라서, 최상층(top layer)의 형상(topography)은 더욱 더 굴곡화 및 불평평화(uneven)된다.

예를 들면, 물 또는 그 이상의 금속층이 형성되어 있는 반도체 웨이퍼를 제조하는 경우에, 다수의 산화막, 다결정 실리콘 도전층 및 제1금속배선층이 형성되어 있는 반도체 웨이퍼에 제1층간 절연막을 형성한 후, 제2금속층과 전기적으로 접속하기 위한 비아를 형성한다. 제1층간 절연막의 하부 구조물이 불평평(uneven)하기 때문에, 제1층간 절연막의 표면이 불평평하다. 그러한 제1 층간 절연막상에 제2금속층을 직접 형성하는 경우에는, 제2금속층은 제1층간 절연막의 돌출부나 크랙때문에 균열(fracture)하고 하지 절연막(underlying insulation layer)상의 금속 도포가 불량하게 된다. 이러한 불량이 반도체 장치의 수율을 저하시키고, 따라서, 다층 금속 접속구조(multilevel metal interconnection)에서는 비아 또는 제2금속층을 형성하기 전에 층간 절연막의 평탄화가 필요하다.

층간 절연막을 평탄화에 대하여는, 리플로우 특성이 높은 BPSG (Borophosphorous Silicate Glass)막이나 SOG(Spin-On-Glass)막을 이용하는 방법이나, 화학적 기계적 연마(Chemical Mechanical Polishing; CMP)법 등 각종의 방법이 개발되고 있다.

일반적으로 금속 배선간의 갭을 매울하기 위한 층간 절연막의 재료로서는 BPSG를 이용하는 방법이 널리 사용되어 왔다. 그렇지만, BPSG를 증착하는 공정은 설비간의 의존성 및 챔버상태의 의존성이 강하고, 사용되고 있는 가스도 고가일뿐만 아니라 독성이 강하여 인체에게 위험성을 내포하고 있다.

더구나, 현재의 256메가 디램급이상의 VLSI를 제조하기 위하여는 집적도가 증가하고 디자인룰이 감소함에 따라, BPSG를 사용하여 층간 절연막을 형성하여 배선간의 갭의 매립할 때는 보이드 생성에 의한 브리지의 형상으로 인하여 수율이 저하한다거나 후속 공정에서의 사용될 예정 스탬프가 손상될 수 있다. 이를 피하기 위하여는 추가적인 리플로우 공정과 고비용의 CMP공정을 수행하여야 할 필요성이 있다.

이에 반하여 SOG막을 이용한 절연막을 형성하는 공정은 단순한 코팅 공정으로 평탄한 절연막을 형성할 수 있는 공정으로 널리 알려져 있다. 예를 들면, 미합중국 특허 제5,310,720호(issued to Shin et al.)에는 폴리실라잔층을 형성한 후, 폴리실라잔층을 산소분위기에서 하소(firing)하여 산화실리콘층으로 전환시키는 방법이 개시되어 있다. 또한, 미합중국 특허 제5,976,618호(issued to Shunichi Fukuyama et al.)에는 무기 SOG를 도포한 후, 2 단계의 열처리 공정을 거쳐서 이를 산화 실리콘막으로 전환시키는 방법이 개시되어 있다.

폴리실라잔계의 SOG는 기본 골격이 Si-N, Si-H, N-H결합으로 구성되고, 산소 및 물을 포함하는 분위기중에서 배이킹하면 Si-N 결합이 Si-O결합으로 치환된다. 이와 같은 SOG를 이용하여 산화 실리콘막으로 전환하는 방법은 간단한 스피 코팅 방법과 경화 공정에 의해 수행할 수 있어서, 비용이 절감된다는 장점을 가지고 있다. 그렇지만, 모든 Si-N 결합이 Si-O 결합으로 치환되지는 않는 것으로 알려져 있다. (일본특 개평 11-145286 참조) 따라서, 생성되는 산화 실리콘막은 종래의 사용되는 BPSG막이나 TEOS막등과 같은 산화 실리콘막과는 다른 절연성 및 전기적 특성을 갖고 있기 때문에 층간 절연막으로 사용되는데는 문제점이 있어 왔다.

또한, 스피 코팅 방식으로 도포를 하기 때문에 생성되는 산화 실리콘막의 두께도 불충분하여 하부 구조물인 게이트 전극이나 금속 배선과 같은 도전층 패턴들을 충분히 커버할 수 없었다.

본 발명이 이루고자하는 기술적 과제

따라서, 본 발명의 제1의 목적은, 어스펙트비가 높은 VLSI 급의 배선층간의 갭을 매립할 수 있고, 기계적인 평탄화 방법이 필요없이 기판상의 갭을 매립하거나 표면의 불연속부(surface discontinuities)를 완만하게 하고, CVD산화막과 실질적으로 동일한 특성을 갖는 반도체 장치의 산화막을 제조하기 위한 퍼하이드로 폴리실라잔을 포함하는 스피온글래스 조성물을 제공하는 것이다.

본 발명의 제2의 목적은 상술한 스피온글래스 조성물을 사용하여 반도체 장치의 산화막을 제조하는 방법을 제공하는 것이다.

본 발명의 구성 및 작용

상기한 본 발명의 제1의 목적을 달성하기 위하여, 본 발명은 상면상에 형성된 단차부를 갖는 반도체 기판

상에 구조식이 $-(SiH_2NH)_n-$ (식중, n 은 양의 정수이다)이고, 중량평균 분자량이 4000 내지 8000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 폴리실라잔 10 내지 30중량%; 및 용매 90 내지 70중량%를 포함하는 스피논글래스 조성물을 제공한다.

본 발명은 또한, 이에 의해 제조된 반도체 장치를 제공한다.

상술한 본 발명의 제2의 목적을 달성하기 위하여, 본 발명은 상면상에 형성된 단차부 또는 표면 불연속부(surface discontinuities)를 갖는 반도체 기판상에 구조식이 $-(SiH_2NH)_n-$ (식중, n 은 양의 정수이다)이고, 중량평균 분자량이 4000 내지 8000이고, 분자량 분포도가 3.0 내지 4.0인 폴리실라잔을 포함하는 SOG 용액을 도포하여 평탄한 SOG막을 형성하는 단계; 및 상기 SOG막을 경화하여 평탄한 표면을 갖는 산화 실리콘막을 형성하는 단계로 구성된 반도체 장치의 산화 실리콘막 형성 방법을 제공한다. 본 발명은 또한 상술한 방법에 의해 제조된 반도체 장치를 제공한다.

본 발명에 의하면, SOG를 미용하여 약 5:1 내지 10:1 정도의 어스펙트비를 갖는 도전층 패턴 부위 또는 다른 표면 불연속부를 완전하게 덮으면서, 평탄하고 보이드가 없는 산화 실리콘막을 형성할 수 있다.

이하, 본 발명을 상세히 설명한다.

하기한 설명에서, 물질, 층 또는 구조물이 다른 물질, 구조물, 또는 층상에 또는 상부에(on or over another material, structure, or layer) 형성되어 있다고 언급할 때에는, 다른 층, 물질 또는 구조물이 삽입되어 형성될 수 있다.

본 발명에 따른 스피논글래스 조성물은, 구조식이 $-(SiH_2NH)_n-$ (식중, n 은 양의 정수이다)이고, 중량평균 분자량이 4000 내지 8000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 폴리실라잔을 포함한다.

폴리실라잔의 제조 방법은 공지되어 있다. 대표적인 방법으로는 할로실란과 루이스 염기를 반응시키고, 수득한 복합체(complex compound)를 암모니아와 반응시켜서 제조할 수 있다.

이외에도, $SiCl_4$ 또는 SiH_2Cl_2 와 같은 실리콘 할라이드와 아민을 반응시켜 폴리실라잔을 합성하는 방법, 실라잔을 알칼리금속할라이드촉매를 사용하여 폴리실라잔으로 전환하는 방법, 전이 금속 복합 촉매(transition metal complex compound)를 사용하여 아민 화합물로 실란 화합물을 탈수(dehydrogenation)하는 방법 등이 공지되어 있다.

또한, 미합중국 특허 제5,494,978호(issued to Yasuo Shimizu et al.)에는 수평균 분자량이 100 내지 100,000인 무기 폴리실라잔을 이용하여 변성된 폴리실라잔을 제조하는 방법이 개시되어 있다.

미합중국 특허 제5,905,130호(issued to Hirohiko Nakahara et al.)에는 폴리아미노실란 화합물과 폴리하이드로겐화된 질소 함유 화합물(polyhydrogenated nitrogen-containing compound)을 염기촉매하에서 반응시키거나, 폴리하이드로겐화 실리콘 화합물(polyhydrogenated silicon compound)과 폴리하이드로겐화 질소-함유 화합물을 염기성 고체 산화물 촉매(basic solid oxide catalyst)의 존재하에 반응시켜서 폴리실라잔을 제조하는 방법이 개시되어 있다.

미합중국 특허 제5,436,398호(issued to Yasuo Shimizu et al.)에도 수평균 분자량이 1,120인 퍼하이드로 폴리실라잔의 제조에 개시되어 있다.

미합중국 특허 제4937304호(issued to Ayama et al.) 및 제4950381호(issued to Takeuchi et al.)에는 원하는 분자량을 갖는 폴리실라잔을 제조하는 방법이 개시되어 있다.

본 발명에서 사용되는 폴리실라잔의 제조 방법에는 특별한 제한은 없다. 상술한 방법에 의해 폴리실라잔은 용이하게 제조할 수 있다.

상술한 공지된 방법에 의해 제조된 퍼하이드로 폴리실라잔을 본 발명에 사용할 수 있도록 본 발명에 사용할 수 있도록 분자량에 따른 분별법(fractionation)을 이용하여 분류하여 사용한다.

본 발명에서 사용되는 폴리실라잔의 중량평균 분자량이 4,000보다 적으면, 작은 분자량에 의해 탈기(outgassing)가 증가하고, 산화 실리콘으로 지나치게 빨리 전환하여 크랙발생이 용이해서 바람직하지 않고, 8,000을 초과하면, SOG용액의 점도가 증가하여 코팅시의 생성되는 SOG막의 균일성(uniformity)이 떨어져서 바람직하지 않다. 따라서, 퍼하이드로 폴리실라잔의 분자량은 4,000 내지 8,000이다. 보다 구체적으로, 트랜치(갭)를 매립하기 위하여 SOG층을 형성하는 경우에, 퍼하이드로 폴리실라잔의 중량평균 분자량은 6000-8000, 바람직하게는 6500-7000이고, 게이트 전극을 평탄화하기 위하여 SOG층을 형성하는 경우에, 퍼하이드로 폴리실라잔의 중량평균 분자량은 4000-6000, 바람직하게는 4,500 내지 5,000이고, 금속 패턴을 평탄화하기 위하여 SOG층을 형성하는 경우에 퍼하이드로 폴리실라잔의 중량평균 분자량은 4500-7000이다.

또한, 중량평균 분자량과 수평균 분자량의 비인 폴리실라잔의 분자량 분포도가 3.0보다 작으면, 폴리실라잔을 분류할 때의 효율성이 떨어져서 제조 수율이 너무 낮아서 바람직하지 않고, 4.0을 초과하면, 산화 실리콘의 전환이 불균일해서 바람직하지 않다. 따라서, 폴리실라잔의 분자량 분포도는 3.0 내지 4.0인 것이 바람직하다. 그렇지만 이들의 범위를 벗어나는 경우에도 조성물은 조건에 따라서 적절하게 사용할 수 있다.

상술한 폴리실라잔을 유기 용매에 용해시켜서 SOG용액을 제조한다. 본 발명에서 사용될 수 있는 용매로서는 유기 용매 또는 다른 용매를 사용할 수 있고, 특별한 제한은 없다. 바람직하게는, 크실렌과 같은 방향족계 용매, 디부틸에테르와 같은 에테르 등을 사용할 수 있다. 폴리실라잔은 농도가 30 중량%보다 크면 폴리실라잔의 불안정성이 증가하고, 가사 시간(life time)이 감소할 뿐만 아니라 크랙이 발생해서 바람직하지 않고, 10 중량%보다 작으면, SOG막의 두께 조절이 용이하지 않아서, SOG막의 두께 조절이 용이하지 않아서 바람직하지 않다. 따라서, 상기 폴리실라잔의 농도는 10 내지 30중량%, 바람직하게는 18 내지 25 중량%이다. 또한, SOG용액중의 용매의 양은 조성물 전체 중량을 기준으로 70 내지 90중량%, 바람직하게는

75 내지 82 중량%이다.

폴리실라잔을 포함하는 SOG 용액은 하부막 예를 들면, 실리콘 질화막에 대하여 4° 이하의 콘택트 각을 갖는 것이 바람직하다. 콘택트각이 4° 보다 크면, 하부막과의 부착력(adhesion)이 나빠서 바람직하지 않다.

코팅 및 경화 공정에서 표면의 균일성을 달성하기 위하여, 상기 SOG용액은 일정한 전단 속도에서 1 내지 10 mPa.s, 바람직하게는 1 내지 8 mPa.s의 일정한 점도를 갖는다. 도 1은 전단 속도 변화에 따른 상기 SOG 용액의 점도 변화를 나타낸 그래프이다. 도 1의 그래프에서 가로축은 점도(단위: mPa.s)를 나타내고, 세로축은 전단 속도(1/s)를 나타낸다. 도 1로부터 알 수 있는 바와 같이, 본 발명에 따른 SOG용액은 54 내지 420 (1/s)의 전단 속도에서 1 내지 10 mPa.s의 일정한 점도를 갖는다. 또한, 도 1로부터, 본 발명에 따른 SOG용액은 10 내지 1000 (1/s)의 전단 속도에서 1 내지 10 mPa.s의 일정한 점도를 갖는다.

상기 SOG용액은 필요에 따라서는 붕소, 불소, 인, 비소, 탄소, 산소 등과 같은 원소를 포함하는 화합물을 불순물로서 적어도 하나 포함할 수 있다. 이러한 불순물중에서, 붕소, 불소, 인, 비소와 같은 원소를 SOG 용액에 첨가하는 경우에는, SOG용액으로부터 생성되는 산화실리콘막이 불순물을 포함하게 되어 종래의 BSG막, BPSG막, PSG막과 유사한 특성을 갖는 막으로 전환된다. 또한, 탄소나 산소와 같은 원소를 포함하는 화합물을 불순물로서 첨가하면, 산화 실리콘막으로의 전환되는 속도를 촉진시킬 수 있다.

상기 SOG 용액을 스프인 코팅방법에 의해 상면상에 형성된 단차부와 같은 표면 불연속부를 갖는 반도체 기판상에 도포하여 평탄한 SOG막을 형성한다.

상기 단차부는 적어도 두 개의 배선층 패턴에 의해 형성될 수 있다. 예를 들면 게이트 전극패턴이나 비트 라인과 같은 도전성 금속 배선 패턴층일 수 있다. 상기 두 개의 도전층 패턴간의 거리는 제한이 없다. 그렇지만, 일반적으로 1 μ m보다 넓으면 종래의 BPSG를 이용하여 산화막을 형성하는 방법이 적용될 수도 있고, 0.04 μ m보다 좁으면 SOG용액의 우수한 단차 도포성에도 불구하고 보이드의 형성가능성이 있어서 바람직하지 않다. 따라서, 0.04 내지 1 μ m정도의 갭을 갖는 도전층 패턴들이 형성되어 있는 반도체 기판상에 도포하는 것이 바람직하다.

이 때, 상기 도전층 패턴에 형성된 갭에 대한 깊이의 비인 어스펙트비가 낮아도 가능하지만, 약 5:1 내지 10:1정도의 어스펙트비를 갖는 도전층 패턴 부위를 도포할 수 있다.

일반적으로, 반도체 기판상에는 소자 형성 부위에 따라서 게이트 전극층을 포함하는 셀어레이와같이 도전층 패턴들이 밀집되어 있는 밀집단차부(또는 밀집된 갭부)와 이러한 도전층 패턴의 드물게 형성되는 주변 회로부와 같은 글로벌 단차부가 공존한다. 본 발명의 방법은 상술한 바와 같은 어스펙트비가 5:1 내지 10:1인 밀집 단차부와 어스펙트비가 1:1 이하인 글로벌 단차부를 포함할 수 있다.

또한, 상기 단차부는 반도체 기판의 요철부에 의해 형성될 수 있다. 구체적으로는 STI(Shallow Trench Isolation)구조를 갖는 격리구조(Isolation structure)를 형성하기 위한 홈과 돌출부에 의해 형성된 단차부를 갖는 반도체 기판상에 본 발명에 따른 산화막을 형성하여 STI 구조의 소자 분리막을 형성할 수 있다.

또한, 상기 단차부는 절연막상에 형성된 금속 배선들에 의해 형성될 수 있다. 즉, 절연막상에 형성된 금속 배선을 절연시키기 위한 절연막으로서 본 발명에 따른 방법에 의해 실리콘 산화막을 형성하여 종단 절연막으로서 사용할 수도 있다.

상기한 방법에 의해 형성된 상기 SOG막을 경화하여 평탄한 표면을 갖는 산화 실리콘막으로 전환시킨다. 경화 단계는 예비 베이킹하는 단계와 주 베이킹 단계로 구분된다.

예비 베이킹을 100°C이하에서 수행하면, 유기 용매가 완전하게 제거되지 않고 잔류해서 바람직하지 않고, 500°C이상의 온도에서 수행하면, 주 베이킹 공정에서의 폴리 실라잔이 실리콘 산화물로로의 전환이 용이하지 않을 뿐만 아니라 표면이 급격하게 산화 실리콘으로 전환됨에 따라서 크랙이 발생되어 생성되는 산화 실리콘 막이 균일하지 않아서 바람직하지 않다. 또한, 예비 베이킹을 수행하는 시간이 1분 미만이면, 유기 용매가 잔류할 가능성이 있어서 바람직하지 않고, 5분을 초과하면, 유기 용매는 완전하게 제거되지만 폴리실라잔을 포함하는 SOG막의 표면에서 실리콘 산화물로로의 부분적인 전환이 유발되어 부분적으로 크랙이 발생되어 바람직하지 않다. 따라서, 예비 베이킹은 100 내지 500°C, 바람직하게는 100 내지 400°C의 온도에서 1 내지 5분간, 바람직하게는 2 내지 3 분간 수행한다.

주 베이킹 단계는 예비 베이킹에 비하여 고온에서 장시간 수행한다. 폴리실라잔계의 SOG는 기본 골격의 Si-N결합으로 구성되고, 산소 및 물을 포함하는 분위기중에서 베이킹하면 Si-N결합이 Si-O결합으로 치환되는 것으로 알려져 있다. 종래 방법에 의하면, 일반적으로 모든 Si-N결합이 Si-O결합으로 치환되지는 않는다. 그렇지만, 본 발명에 따른 폴리실라잔을 함유하는 SOG용액을 사용하여 코팅하여 SOG 막을 형성한 후, 경화 공정을 수행하는 경우에 Si-N결합이 없어 CVD 방법에 의해 형성된 산화 실리콘막과 실질적으로 동일한 특성을 갖는 산화막을 제조 할 수 있다.

주 베이킹의 온도가 400°C미만인 경우에는 경화가 충분하지 않아서 Si-N결합이 잔류하여 산화막의 특성에 악영향을 미칠 염려가 있어서 바람직하지 않고, 주 베이킹의 온도가 1200°C보다 높은 경우에는, 생성되는 실리콘 산화막의 평탄도가 저하되거나 크랙이 발생하여 바람직하지 않다. 따라서, 주 베이킹은 400 내지 1200°C, 바람직하게는 400 내지 1000°C 의 온도에서 수행한다.

또한 주베이킹 공정의 수행시간이 10분 보다 작은 경우에는 SOG막이 실리콘 산화막으로의 전환이 불충분해서 바람직하지 않고, 180분을 초과하는 경우에는 생성되는 실리콘 산화막의 응력이 증가하여 바람직하지 않다. 따라서, 주베이킹 공정의 시간은 10 분 내지 180분간, 바람직하게는 30분 내지 120분간 수행한다. 주베이킹 공정은 Si-N결합을 Si-O결합으로 전환하는 데 적합한 분위기의 산화성 분위기 또는 불활성 분위기에서 수행한다. 예를 들면, 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기 또는 질소 분위기에서 수행하는 것이 바람직하다. 특히, 수증기 분위기에서 수행하는 것이 바람직하다. 이 때, 분위기 중에서의 수분은 1.2 내지 86중량%로 유지하는 것이 바람직하다.

상기한 주 베이킹의 단계는 하부 구조물에 따라서 하부 구조물에 미치는 영향을 고려하여 온도 범위를 적

당하게 변경할 수 있다.

예를 들면, 상기 단차부가 반도체 기판의 상부를 부분적으로 식각하여 형성된 트렌치를 포함하여, 상기 SOG막은 상기 트렌치를 매립하도록 형성되는 경우에는, 상기 경화 공정의 주베이킹은 900 내지 1000°C의 온도에서 주 베이킹하는 단계로 수행하는 것이 바람직하다.

상기 단차부가 반도체 기판상에 형성된 복수의 게이트 전극들을 포함하여, 상기 SOG막은 상기 게이트 전극들을 완전히 덮도록 형성되는 경우에는, 상기 경화공정의 주베이킹은 600 내지 900°C의 온도에서 수행하는 것이 바람직하다.

또한, 상기 단차부가 절연막상에 형성된 복수의 금속 배선 패턴을 포함하여, 상기 SOG막은 상기 금속 배선 패턴을 완전히 덮도록 형성되는 경우에는, 상기 경화 공정의 주베이킹은 400 내지 450°C의 온도에서 수행하는 것이 바람직하다.

본 발명에 따른 방법에 의해 SOG 조성물을 이용하여 1회의 공정으로 두께가 4000 내지 6500 Å인 산화 실리콘막을 형성할 수 있다. 또한, 상기 SOG 조성물을 도포하기 전에 도전층 패턴의 상면 및 측면에 식각 저지막으로서 질화실리콘막을 200 내지 600 Å의 두께로 형성할 수도 있다.

본 발명의 SOG조성물을 사용한 반도체 장치의 제조 방법은 트렌치를 매립하거나, 게이트 전극 및/또는 금속 패턴을 평탄화하는 데 사용할 수 있음을 알 수 있다. 그렇지만, 본 발명에 따른 SOG 조성물은 트렌치만 매립하고, 게이트 전극 및 금속 패턴을 평탄화하는 데는 종래의 SOG 조성물이나 다른 방법을 사용할 수 있다. 즉, 본 발명의 SOG조성물을 사용하여 단일의 반도체 장치에서 트렌치를 매립하거나, 게이트 전극 및 금속 패턴을 평탄화할 수 있지만, 반드시 이들 모두에 적용할 필요는 없고, 이들 중의 어느 하나에만 적용할 수 있다.

이하 실시예로 본 발명의 특징을 보다 상세하게 서술하지만, 본 발명은 이에 의해 제한되지 않는다.

실시예

스핀온글래스 조성물의 제조

시판중인 퍼하이드로 폴리실라잔을 구입하여 분별법(fractionation)에 의해 중량 평균 분자량이 4500 내지 7000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 폴리실라잔을 수득한다. 수득한 퍼하이드로 폴리실라잔을 크실렌에 22 내지 25중량%의 농도로 용해시켜서 스페온글래스 조성물을 제조하였다. 수득한 SOG 조성물은 하지막으로서 질화 실리콘막에 대한 콘택트 각을 측정한 결과 4° 이하의 콘택트 각을 나타냈다.

상기 SOG 조성물은 전단 속도를 변화 시켜가면서 점도를 측정한 결과 도 1에 나타낸 바와 같은 점도 특성을 나타내었다.

도 1은 전단 속도 변화에 따른 상기 SOG 용액의 점도 변화를 나타낸 그래프이다. 도 1의 그래프에서 세로축은 점도(단위: mPa.s)를 나타내고, 세로축은 전단 속도(1/s)를 나타낸다. 도 1로부터 알 수 있는 바와 같이, 상기 SOG용액은 54 내지 420 (1/s)의 전단 속도에서 1 내지 10 mPa.s의 일정한 점도를 나타냄을 알 수 있다.

산화막 형성

도 2a 내지 도 2k는 본 발명의 일 실시예에 따른 반도체 장치의 산화막 형성 방법을 나타내기 위한 단면도들이다.

도 2a를 참조하면, 실리콘(Si)과 같은 반도체로 이루어진 p형 기판(10)을 준비한다. 상기 기판(10)의 상부에 소자 분리 영역을 에칭하여 트렌치(12)를 형성한다. 상기 트렌치(12)는 깊이 4600 Å이고, 폭이 1250 Å이다.

상기 트렌치(12)가 형성된 기판(10)상에 중량 평균 분자량이 6000 내지 8000인 퍼하이드로 폴리실라잔을 포함하는 상기에서 준비한 SOG용액을 6000-7000 Å 두께로 도포하여 제1 SOG막(13)을 형성한다.

도 2b를 참조하면, 상기 제1 SOG막(13)을 100 내지 500°C의 온도에서 1분 내지 5분간 예비 베이킹 공정을 수행한 후, 900 내지 1000°C의 온도에서 약 30분간 주베이킹 공정을 수행하여 제1 산화 실리콘막(13a)으로 전환시킨다. 이때, 분위기는 수분이 약 86 중량% 함유된 수증기 분위기에서 수행한다.

다음에, 도 2c를 참조하면, 수득한 제1 산화 실리콘막(13a)을 화학적 기계적 연마 방법(CMP)에 의해 반도체 기판(10)의 상부 표면에 노출될 때까지 연마하여, 도시한 바와 같이, 상기 트렌치(12)의 내부를 산화 실리콘(14)으로 매립된 소자 분리 영역을 형성한다.

도 2d를 참조하면, 메모리셀을 형성할 영역(셀 영역)의 반도체 기판(10)에 n형 불순물, 예를 들면 인(P)을 주입하여 n형 반도체 영역(20)을 형성하고, 셀 어레이 영역과 주변회로 영역의 일부에 p형 불순물, 예를 들면 붕소(B)를 미온 주입하여 p형 웰(30)을 형성하고, 주변 회로 영역의 나머지 일부에 n형 불순물, 예를 들면 인(P)을 미온 주입하여 n형 웰(40)을 형성한다.

다음에, 문턱 전압을 조절하기 위한 불순물, 예를 들면 BF₃(불화 붕소)를 p형 웰(30) 및 n형 웰(40)에 미온주입한다. 이어서, p형 웰(30) 및 n형 웰(40)의 각 표면 부위를 불산계 세정액을 사용하여 세정한 후, 반도체 기판(10)을 습식산화하여 p형 웰(30) 및 n형 웰(40)의 각 표면부위에 게이트 산화막(16)을 형성한다. 이 때, 상기 트렌치(12)의 내면부위의 기판의 일부도 부분적으로 산화하여, 게이트 산화막(16)은 연속적으로 형성된다. 상기 게이트 산화막(16)은 약 40~200 Å의 두께를 갖는다.

도 2e를 참조하면, 필드 산화막으로 트렌치(12)에 매립된 산화 실리콘(14) 및 게이트 산화막(16)이 형성된 기판(10)의 전면에 예를 들면 P(인)등의 n형 불순물로 도핑된 다결정 실리콘막을 저압



화학기상증착(LPCVD) 방법으로 증착하여 약 500~4000 Å의 두께를 갖는 폴리실리콘막을 형성한다. 이어, 상기 폴리실리콘막상에 규화 텅스텐막과 텅스텐막을 스퍼터링 방법으로 각각 1000-2000 Å의 두께를 갖도록 증착한 후, 상기 텅스텐막상에 질화실리콘막을 적층한다. 상기 질화실리콘막은 저압 화학기상증착 또는 플라즈마중대 화학기상증착(PECVD) 방법을 이용하여 약 500~2000 Å 정도의 두께를 갖도록 형성한다.

상기 질화실리콘 막상에 포토 레지스트막을 형성한 후, 마스크를 사용하여 상기 포토 레지스트막을 선택적으로 노광한다. 다음에 상기 포토 레지스트막을 현상하여 게이트 전극을 형성하기 위한 포토레지스트 패턴(22)을 형성한다. 상기 포토 레지스트 패턴(22)을 에칭마스크로 사용하여 상기 질화실리콘막, 텅스텐막, 질화 텅스텐 막 및 폴리실리콘막을 차례로 식각하여, 폴리실리콘 패턴(24a), 규화 텅스텐 패턴(24b), 텅스텐 패턴(24c) 및 질화실리콘 패턴(24d)으로 구성된 게이트 전극들(24Ga, 24Gb, 24Gc, 24GWL)을 형성한다. 그러면, 도시한 바와 같이, 셀어레이 영역에는 게이트 전극들(24Ga)과 워드 라인(24GWL)이 형성되고, 주변회로 영역에도 각각 게이트 전극(24Gb 및 24Gc)이 형성된다.

셀 어레이 영역에 형성되는 게이트 전극(24Ga, 24GWL)들은 게이트 전극들간의 겹이 0.4 내지 1 μm로 형성되고, 게이트 전극들(24Ga, 24GWL)의 겹에 대한 높이의 비인 어스펙트비는 5:1 내지 10:1인 밀집 단차부를 형성하고 있다. 반면에, 주변 회로 영역에 형성되는 게이트 전극들(24Gb, 24Gc)은 게이트 전극들간의 겹에 대한 높이의 비인 어스펙트비는 1:1이하인 글로벌 단차부를 형성한다.

도 2g를 참조하면, n형 웰(20)에 p형 불순물, 예를 들면 붕소를 이온 주입하여 게이트 전극(24Gc)의 양측의 n형 웰(40)에 p형 불순물 영역(25)을 형성한다. 또한, p형 웰(30)에 n형 불순물, 예를 들면 인을 이온 주입하여 게이트 전극(24Gb)의 양측의 p형 웰(30)에 n형 불순물 영역(27)을 형성하고, 게이트 전극(24Ga)의 양측의 p형 웰(20)에는 n형 불순물 영역(26)을 형성한다.

도 2g를 참조하면, 반도체 기판(10)상에 기상 산화 증착법에 의해 질화실리콘을 증착시켜 두께 200 내지 600 Å인 질화실리콘막(32)을 형성한다. 다음에, 셀어레이 영역의 질화실리콘막(32)은 포토레지스트막으로 덮고, 주변 회로의 질화실리콘막(32)은 이방성 에칭하여 주변회로의 게이트 전극(24Gb, 24Gc)의 측벽이 스페이서(32a)를 형성한다.

다음에, 주변회로의 n형 웰(40)에 p형 불순물, 예를 들면 붕소를 이온 주입하여 p+형의 불순물 영역(소오스, 드레인 영역)을 형성한다. 또한, 주변회로의 p형 웰(30)에 n형 불순물, 예를 들면 비소(As)를 이온 주입하여 n+형의 불순물 영역(소오스, 드레인 영역)을 형성한다.

도 2h를 참조하면, 반도체 기판(10)상에 상기 SOG 용액을 도포하여 제2 SOG막(50)을 형성한다. 상기 제2 SOG막(50)은 스피 코팅방법에 의해 도포된다. 사용된 SOG용액중의 퍼하이드로 폴리실라잔의 중량 평균 분자량은 4000 내지 6000이다. 이 때, 회전 속도는 500 내지 2500 rpm이다. 상기 SOG 층(50)은 7500 내지 8200 Å의 두께를 가지면서, 게이트 전극들(24Ga, 24Gb, 24Gc, 24GWL)을 완전하게 덮도록 형성한다.

다음에, 상기 제2 SOG막(50)을 100°C 내지 500°C의 온도에서 1 내지 5분간 예비 베이킹을 한 후, 600°C 내지 900°C의 온도에서, 10분 내지 180분 주베이킹을 한다. 베이킹은 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기 또는 질소 분위기에서 수행한다. 수증기 분위기에서 수행하는 경우에, 분위기중의 수증기의 함량은 1.2 내지 86중량%가 되도록 유지한다.

상술한 경화 공정을 통하여 제2 SOG막(50)의 Si-N결합은 Si-O 결합으로 치환되어, 실리콘 산화막으로 전환된다. 그러면 도 2i에 도시한 바와 같이, 이때, 두께는 약 19 내지 20%정도 수축된 제2 산화실리콘막(50a)을 수득한다.

도 2i를 참조하면, 상기 제2 산화실리콘막(50a)상에 통상적인 스퍼터링 방법에 의해 알루미늄, 텅스텐 등과 같은 금속을 증착시켜 두께 5000 Å의 금속층을 형성한다. 상기 금속층을 사진 식각방법에 의해 패턴화하여 폭이 6600 Å이고, 길이 8400 Å인 금속층 패턴들(52)을 형성한다.

다음에, 상기 SOG용액을 스피코팅하여 금속층 패턴들(52)을 완전히 덮도록 두께 3800 Å 내지 4500 Å인 제3 SOG막(54)을 형성한다. 이 때, 제3 SOG 막(54)중의 퍼하이드로 폴리실라잔의 중량평균 분자량은 4500 내지 7500이다.

도 2k를 참조하면, 상기 제3 SOG막(54)을 100°C 내지 500°C의 온도에서 1 내지 5분간 예비 베이킹을 한 후, 400°C 내지 450°C의 온도에서, 10분 내지 180분 주베이킹을 한다. 주 베이킹은 전술한 바와 같이, 수증기 분위기에서 수행한다.

그러면, 경화 공정을 통하여 제3 SOG막(54)의 Si-N결합은 Si-O 결합으로 치환되어, 평탄한 표면을 갖는 제3 실리콘 산화막(54a)으로 전환된다.

이 후, 통상의 반도체 제조 공정을 거쳐서 반도체 소자를 완성한다.

산화실리콘막의 광흡수 실험

상기 도 2a 내지 도 2k에 나타난 방법에 의해 산화막을 반도체 기판상에 형성하였다. 어스펙트 비가 5:1 내지 10:1이고 간격이 0.04 내지 1 μm인 다수의 배선층을 갖는 반도체 기판상에 형성한 후, 상기 배선층과 반도체 기판을 덮는 실리콘 질화막을 400 Å의 두께로 형성하였다.

본 발명에 사용되는 폴리실라잔을 함유하는 SOG 용액을 스피코팅법에 의하여 상기 반도체 기판상에 코팅하여 두께가 7852 ± 194 Å인 제2 SOG막을 형성하였다. 이 때, 회전수는 1000로 조절하였다.

상기 제2 SOG막을 150°C의 온도에서 3분간 예비 베이킹하였다. 예비 베이킹한 후, 상기 SOG막을 FT-IR로 광흡수도를 측정하였다. 도 3은 예비 베이킹한 후, 측정한 광흡수도를 나타내는 FT-IR 그래프이다. 도 3에서 알 수 있는 바와 같이, 예비 베이킹 후에는, 소정의 파장 범위에서 N-H, Si-H, Si-N 등의 결합을 나타내는 흡수 피크를 나타냈다. 이 때, 스트레스 값을 스트레스 게이지로 측정한 결과 3.63 ×

10^8 (Dyne/cm₂)를 나타냈다.

예비 베이킹한 SOG막을 다시 700°C의 온도에서 30분간 베이킹하여 상기 SOG막을 산화 실리콘막으로 전환시켰다. 도 4는 베이킹한 후, 측정된 광흡수도를 나타내는 FT-IR 그래프이다. 도 4에서 알 수 있는 바와 같이, 베이킹후에는, 소정의 파장 범위에서 Si-O의 결합만을 나타내는 흡수 피크를 나타냈다. 이 때, 스트레스 값을 측정한 결과 -1.22×10^8 (Dyne/cm₂)를 나타냈다. 도 4로부터, SOG막내의 Si-N결합은 Si-O결합으로 모두 변환되어 완전한 산화 실리콘막으로 전환되었음을 알 수 있다.

또한, 상술한 바와 같은 어스펙트 비가 5:1 내지 10:1이고 간격이 0.04 내지 1 μ m인 다수의 배선층을 갖는 반도체 기판상에 형성된 실리콘 산화막에서는 보이드의 형성은 보이지 않았다.

산화 실리콘의 에칭 속도 측정실험

SOG를 이용한 산화 실리콘막의 형성

상기 SOG용액을 베어(bare) 웨이퍼상에 도포하여 SOG막을 형성하였다. 상기 SOG용액은 스피ن 코팅방법에 의해 도포하였고, 회전 속도는 1000 rpm이었다. 상기 SOG막은 7500 내지 8200Å의 두께를 갖도록 형성하였다.

다음에, 상기 SOG막(50)을 150°C의 온도에서 30분간 예비 베이킹을 한 후, 700°C의 온도에서, 30분 주베이킹을 하였다. 주 베이킹은 수증기 분위기에서 수행하였으며, 분위기중의 수증기의 함량은 1.2 내지 86중량%가 되도록 유지하였다.

상술한 경화 공정을 통하여 SOG막내의 Si-N결합은 Si-O 결합으로 치환되어, 실리콘 산화막으로 전환되었다. 수득한 실리콘 산화막의 두께는 약 6400Å이었다.

CVD 방법에 의한 산화막의 형성

베어(bare) 웨이퍼상에 소오스 가스로서 실란가스 및 산소가스를 사용하고, 캐리어 가스로서 아르곤 가스를 사용하여 HDP(High Density Plasma) CVD-산화막을 형성하였다. 형성된 CVD산화막의 두께는 약 6000Å이었다.

습식 식각 속도 측정

상기에서 본 발명에 의한 방법에 의해 제조된 실리콘 산화막과 CVD방법에 의해 제조된 CVD산화막에 대하여 습식 식각을 수행하였다. 습식 식각은 동일한 식각액을 사용하여 일정한 시간동안 수행하였으며, 일정한 시간 간격으로 에칭 속도를 측정하였다. 측정 결과를 도 5a 내지 5f에 그래프로 나타낸다.

도 5a는 본 발명에 따라 제조된 산화막과 CVD방법에 의해 제조된 산화막을 불화 암모늄을 포함하는 완충 식각액(NH₄F 및 HF를 증류수(D.I. water)에 희석시킨 용액)을 상온(25°C)에서 습식식각을 수행하면서, 1분 간격으로 측정한 에칭 속도를 나타내는 그래프이다.

도 5b는 본 발명에 따라 제조된 산화막과 CVD방법에 의해 제조된 산화막을 희석 불산 수용액(DI:HF=100:1)을 사용하여 상온(25°C)에서 습식식각을 수행하면서, 1분 간격으로 측정한 에칭 속도를 나타내는 그래프이다.

도 5c는 본 발명에 따라 제조된 산화막과 CVD방법에 의해 제조된 산화막을 NH₄OH:H₂O₂:H₂O를 0.25:1:5의 비율로 혼합한 식각액을 사용하여 70°C에서 습식식각을 수행하면서, 10분 간격으로 측정한 에칭 속도를 나타내는 그래프이다.

도 5d는 본 발명에 따라 제조된 산화막과 CVD방법에 의해 제조된 산화막을 인산을 사용하여 165°C에서 습식식각을 수행하면서, 10분 간격으로 측정한 에칭 속도를 나타내는 그래프이다.

도 5e는 본 발명에 따라 제조된 산화막과 CVD방법에 의해 제조된 산화막을 H₂SO₄:H₂O₂를 6:1로 혼합한 용액을 식각액으로 사용하여 130°C에서 습식식각을 수행하면서, 10분 간격으로 측정한 에칭 속도를 나타내는 그래프이다.

도 5f는 본 발명에 따라 제조된 산화막과 CVD방법에 의해 제조된 산화막을 NH₄OH:H₂O₂:H₂O를 0.25:1:5의 비율로 혼합한 식각액을 사용하여 50°C에서 습식식각을 수행하면서, 10분 간격으로 측정한 에칭 속도를 나타내는 그래프이다.

건식 식각 속도 측정

상기 본 발명에 따라 제조된 산화막과 CVD방법에 의해 제조된 산화막이 형성되어 있는 웨이퍼를 동일한 챔버내에 도입한 후, 동일한 에칭 가스를 사용하여 반복적으로 에칭 속도를 측정하였다. 챔버내의 압력은 30mTorr로 유지하였고, 챔버내의 출력은 1700W이었으며, 사용가스로서는 C₄F₈:C₄F₆:O₂:Ar를 각각 8sccm, 4sccm, 6sccm, 500sccm의 유속으로 도입하여 에칭가스로 사용하였다. 에칭을 20초 간격으로 반복적으로 수행하면서, 에칭속도를 측정하였다. 측정된 에칭 속도를 도 5g에 그래프로 나타낸다.

도 5a 내지 5g로부터, 습식 식각 및 건식 식각시에 본 발명에 따라서 형성된 산화 실리콘막의 에칭속도는 종래의 CVD방법에 의해 형성된 산화실리콘막과 거의 유사한 에칭 속도를 나타냄을 알 수 있다. 따라서,

본 발명의 방법에 따라서, SOG막을 사용하여 평탄화막이나 층간 절연막을 형성하는 경우에는 증래의 CVD 산화막과 유사한 물성을 나타낼 수 있다.

또한, 본 발명자들의 반복적인 실험에 의하면, 본 발명에 따른 스피논글래스 조성물을 사용하면, 어스펙트 비가 5:1 내지 10:1이고 간격이 0.04 내지 1 μ m인 배선층을 갖는 반도체 기판상에 보이드가 없는 실리콘 산화막을 형성할 수 있다.

발명의 효과

본 발명에 의하면, SOG를 이용하여 256메가급에서 요구되는 평탄도를 가지면서 보이드를 형성하지 않은 산화 실리콘막을 형성할 수 있다.

상술한 바와 같이 본 발명은 기재된 실시예에 대해서만 상세히 설명되었지만 본 발명의 기술사상 범위 내에서 다양한 변형 및 수정이 가능함은 당업자에게 있어서 명백한 것이며, 이러한 변형 및 수정이 첨부된 특허청구범위에 속함은 당연한 것이다.

(57) 청구의 범위

청구항 1. 구조식이 $-(SiH_2NH)_n-$ (식중, n은 양의 정수이다)이고, 중량평균 분자량이 4000 내지 80000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 폴리실라잔 10 내지 30중량%; 및

용매 90 내지 70중량%를 포함하는 반도체 제조 공정중의 산화 실리콘막 형성용 스피논글래스 조성물.

청구항 2. 제1항에 있어서, 상기 산화 실리콘막이 트렌치를 매립하는 경우에 상기 퍼하이드로폴리실라잔의 중량 평균 분자량은 6000 내지 8000인 것을 특징으로 하는 스피논글래스 조성물.

청구항 3. 제1항에 있어서, 상기 산화 실리콘막이 게이트 전극을 평탄화하는 경우에 상기 퍼하이드로폴리실라잔의 중량 평균 분자량은 4000 내지 6000인 것을 특징으로 하는 스피논글래스 조성물.

청구항 4. 제1항에 있어서, 상기 산화 실리콘막이 금속 패턴을 평탄화하는 경우에 상기 퍼하이드로폴리실라잔의 중량 평균 분자량은 4500 내지 7500인 것을 특징으로 하는 스피논글래스 조성물.

청구항 5. 제1항에 있어서, 상기 퍼하이드로 폴리실라잔의 농도가 18 내지 25중량%이고, 용매가 82 내지 75중량%인 것을 특징으로 하는 스피논글래스 조성물.

청구항 6. 제1항에 있어서, 상기 스피논글래스 조성물은 54 내지 420 (1/s)의 전단 속도에서 1 내지 10 mPa.s의 일정한 점도를 갖는 것을 특징으로 하는 스피논글래스 조성물.

청구항 7. 제1항에 있어서, 상기 스피논글래스 조성물은 하지막에 대하여 4° 이하의 콘택트 각을 갖는 것을 특징으로 하는 스피논글래스 조성물.

청구항 8. 제1항에 있어서, 상기 스피논글래스 조성물은 불소, 플소, 인, 비소, 탄소 및 산소로 구성된 군에서 선택된 적어도 하나의 원소를 포함하는 불순물을 포함하는 것을 특징으로 하는 스피논글래스 조성물.

청구항 9. 제1항에 있어서, 상기 용매는 크실렌 또는 디부틸에테르인 것을 특징으로 하는 스피논글래스 조성물.

청구항 10. 상면상에 형성된 단차부를 갖는 반도체 기판상에 구조식이 $-(SiH_2NH)_n-$ (식중, n은 양의 정수이다)이고, 중량평균 분자량이 4000 내지 80000이고, 분자량 분포도가 3.0 내지 4.0인 폴리실라잔을 포함하는 SOG 용액을 도포하여 평탄한 SOG막을 형성하는 단계; 및

상기 SOG막을 경화하여 평탄한 표면을 갖는 산화 실리콘막을 형성하는 단계로 구성된 반도체 장치의 산화 실리콘막 형성 방법.

청구항 11. 제7항에 있어서, 상기 경화는 100 내지 500°C의 온도에서 제1 기간동안 예비 베이킹하는 단계; 및

400 내지 1200°C의 온도에서 제2 기간동안 주 베이킹하는 단계로 수행하는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

청구항 12. 제11항에 있어서, 상기 주 베이킹 하는 단계는 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기 또는 질소 분위기에서 10 내지 180분간 수행하는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

청구항 13. 제10항에 있어서, 상기 SOG용액은 54 내지 420 (1/s)의 전단 속도에서 1 내지 10 mPa.s의 일정한 점도를 갖는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

청구항 14. 제10항에 있어서, 상기 산화 실리콘막의 두께가 4000 내지 6500 Å인 것을 특징으로 하는 산화 실리콘막의 형성 방법.

청구항 15. 제10항에 있어서, 상기 단차부는 적어도 두 개의 도전성 패턴에 의해 형성되는 것을 특징으로 하는 반도체 장치의 산화막 제조 방법.

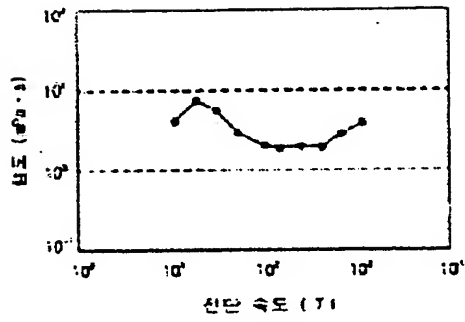
청구항 16. 제15항에 있어서, 상기 두 개의 도전성 패턴간의 거리는 0.04 내지 1 μ m인 것을 특징으로 하는 반도체 장치의 산화막 제조 방법.

청구항 17. 제15항에 있어서, 상기 단차부는 어스펙트비가 5:1 내지 10:1인 것을 특징으로 하는 반도체 장치의 산화막 제조 방법.

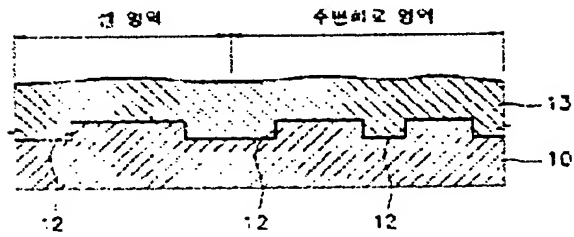
- 청구항 18. 제15항에 있어서, 상기 단차부는 어스펙트비가 5:1 내지 10:1인, 밀집 단차부와 어스펙트비가 1:1 이하인 글로벌 단차부를 포함하는 것을 특징으로 하는 반도체 장치의 산화막 제조 방법.
- 청구항 19. 제15항에 있어서, 상기 두 개의 도전성 패턴은 반도체 장치의 게이트 전극 또는 금속 배선 패턴인 것을 특징으로 하는 반도체 장치의 산화막 제조 방법.
- 청구항 20. 제10항에 있어서, 상기 SOG 용액을 도포하기 전에 질화실리콘막을 200 내지 600Å의 두께로 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 산화막 제조 방법.
- 청구항 21. 제20항에 있어서, 상기 SOG 용액은 4° 이하의 콘택트 각을 갖는 것을 특징으로 하는 반도체 장치의 산화막 형성 방법.
- 청구항 22. 제10항에 있어서, 상기 SOG용액은 붕소, 불소, 인, 비소, 탄소 및 산소로 구성된 군에서 선택된 적어도 하나의 불순물을 포함하는 것을 특징으로 하는 반도체 장치의 산화막 제조 방법.
- 청구항 23. 제10항에 있어서, 상기 단차부의 형성은 반도체 기판의 상부를 부분적으로 식각하여 트렌치를 형성하는 단계를 포함하고, 상기 SOG막은 상기 트렌치를 매립하도록 형성되며,
상기 경화는 100 내지 500°C의 온도에서 예비 베이킹하는 단계; 및
900 내지 1000°C의 온도에서 주 베이킹하는 단계를 수행하는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.
- 청구항 24. 제23항에 있어서, 상기 SOG 조성물중의 상기 퍼하이드로폴리실라잔의 중량 평균 분자량은 6000 내지 8000인 것을 특징으로 하는 스피논글래스 조성물.
- 청구항 25. 제10항에 있어서, 상기 단차부의 형성은 반도체 기판상에 복수의 게이트 전극들을 형성하는 단계를 포함하고, 상기 SOG막은 상기 게이트 전극들을 완전히 덮도록 형성되며,
상기 경화는 100 내지 500°C의 온도에서 예비 베이킹하는 단계; 및
600 내지 900°C의 온도에서 주 베이킹하는 단계를 수행하는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.
- 청구항 26. 제25항에 있어서, 상기 SOG 조성물중의 상기 퍼하이드로폴리실라잔의 중량 평균 분자량은 4000 내지 6000인 것을 특징으로 하는 스피논글래스 조성물.
- 청구항 27. 제10항에 있어서, 상기 단차부의 형성은 절연막상에 복수의 금속 배선 패턴을 형성하는 단계를 포함하고, 상기 SOG막은 상기 금속 배선 패턴을 완전히 덮도록 형성되며,
상기 경화는 100 내지 500°C의 온도에서 예비 베이킹하는 단계; 및
400 내지 450°C의 온도에서 주 베이킹하는 단계를 수행하는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.
- 청구항 28. 제27항에 있어서, 상기 SOG 조성물중의 상기 퍼하이드로폴리실라잔의 중량 평균 분자량은 4500 내지 7500인 것을 특징으로 하는 스피논글래스 조성물.
- 청구항 29. 폴리싱 공정을 수행하지 않은 적어도 하나의 평탄한 층을 포함하고, 상기 평탄한 층은 제1항의 반도체 제조 공정중의 산화 실리콘막 형성용 스피논글래스 조성물을 포함하는 것을 특징으로 하는 반도체 장치.
- 청구항 30. 제29항에 있어서, 상기 산화 실리콘막이 트렌치를 매립하는 경우에 상기 퍼하이드로폴리실라잔의 중량 평균 분자량은 6000 내지 8000인 것을 특징으로 하는 반도체 장치.
- 청구항 31. 제29항에 있어서, 상기 산화 실리콘막이 게이트 전극을 평탄화하는 경우에 상기 퍼하이드로폴리실라잔의 중량 평균 분자량은 4000 내지 6000인 것을 특징으로 하는 반도체 장치.
- 청구항 32. 제29항에 있어서, 상기 산화 실리콘막이 금속 패턴을 평탄화하는 경우에 상기 퍼하이드로폴리실라잔의 중량 평균 분자량은 4500 내지 7500인 것을 특징으로 하는 반도체 장치.
- 청구항 33. 제29항에 있어서, 상기 용매는 크실렌 또는 디부틸에테르인 것을 특징으로 하는 반도체 장치.
- 청구항 34. 제29항에 있어서, 상기 퍼하이드로 폴리실라잔의 농도가 18 내지 25중량%이고, 용매가 82 내지 75중량%인 것을 특징으로 하는 반도체 장치.
- 청구항 35. 제29항에 있어서, 상기 스피논글래스 조성물은 54 내지 420 (1/s)의 전단 속도에서 1 내지 10 mPa.s의 일정한 점도를 갖는 것을 특징으로 반도체 장치.
- 청구항 36. 제29항에 있어서, 상기 스피논글래스 조성물은 하지막에 대하여 4° 이하의 콘택트 각을 갖는 것을 특징으로 하는 반도체 장치.
- 청구항 37. 제29항에 있어서, 상기 스피논글래스 조성물은 붕소, 불소, 인, 비소, 탄소 및 산소로 구성된 군에서 선택된 적어도 하나의 원소를 포함하는 불순물을 포함하는 것을 특징으로 하는 반도체 장치.

도면

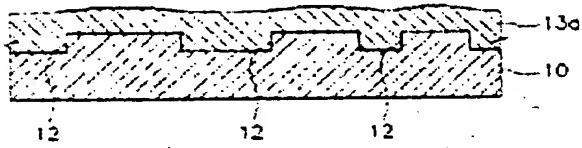
도면1



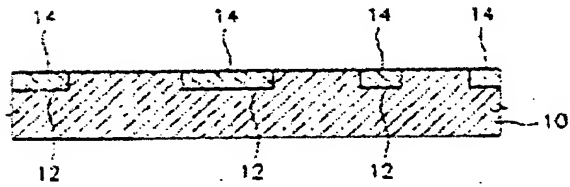
도면2a



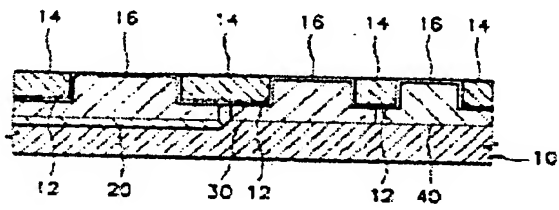
도면2b



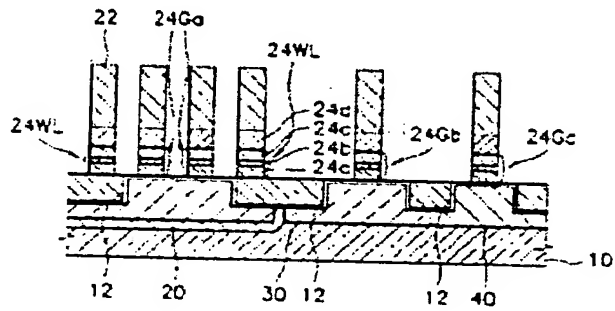
도면2c



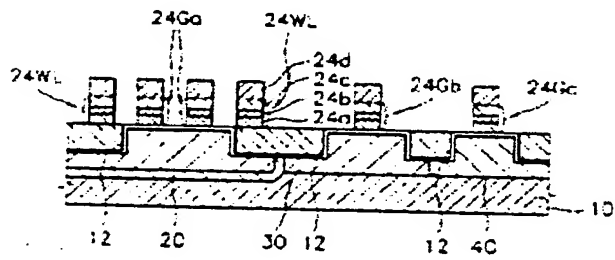
도면 5



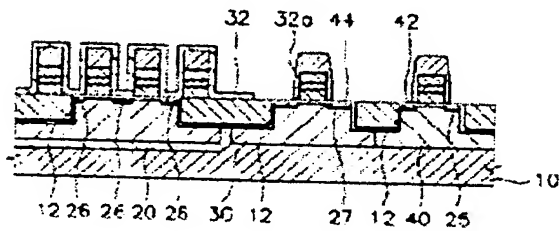
도면 6



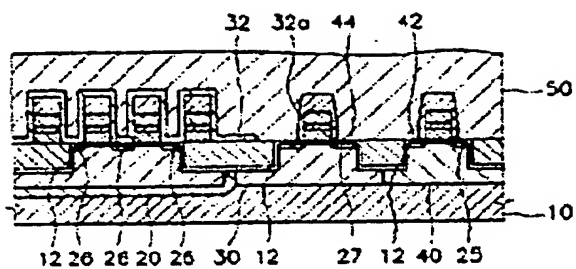
도면 7



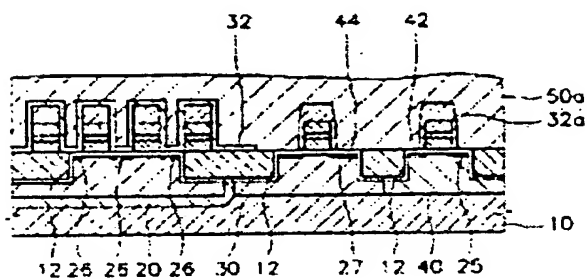
도면 8



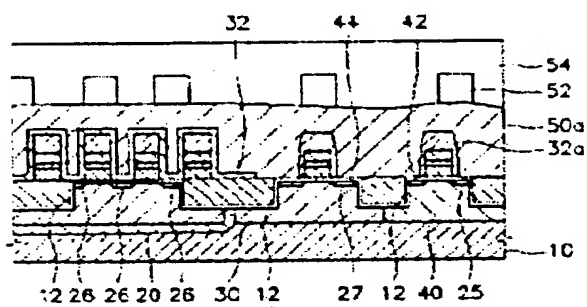
도 2a



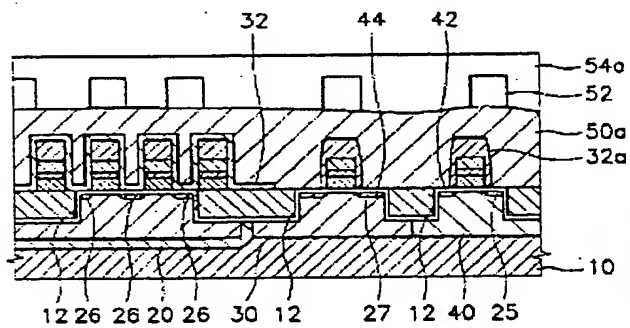
도 2b

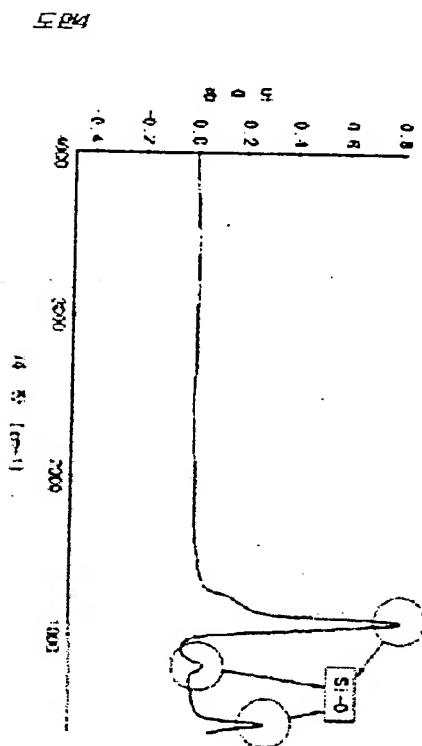
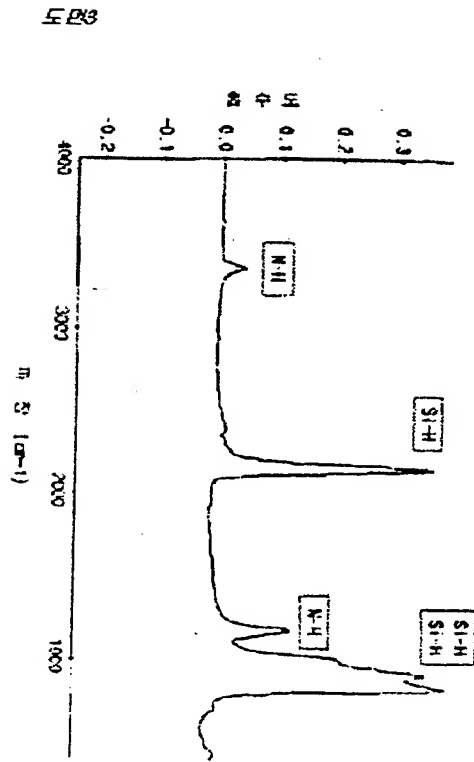


도 2c

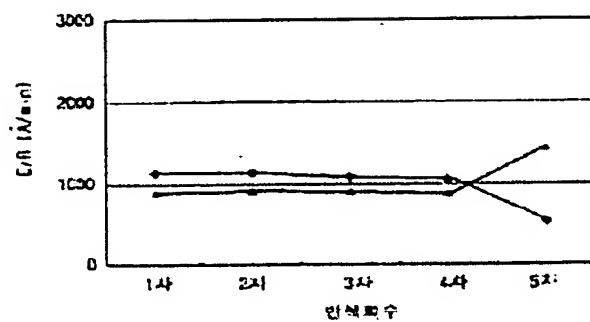


도 2d

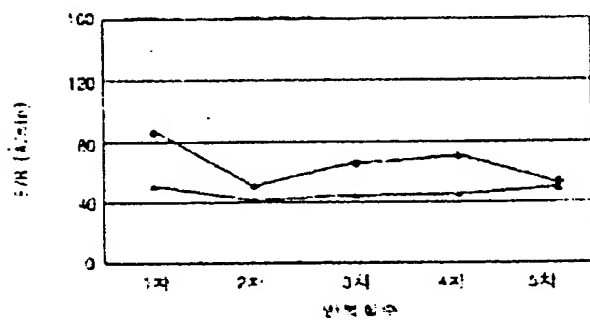




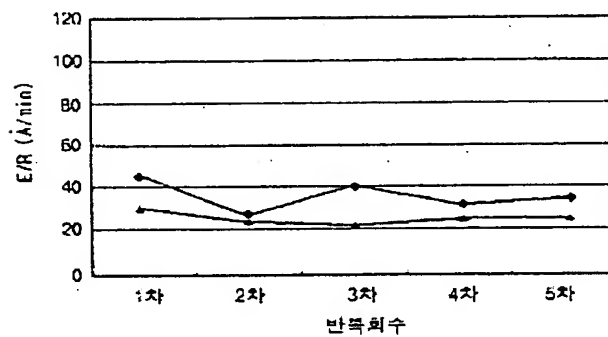
도면5a



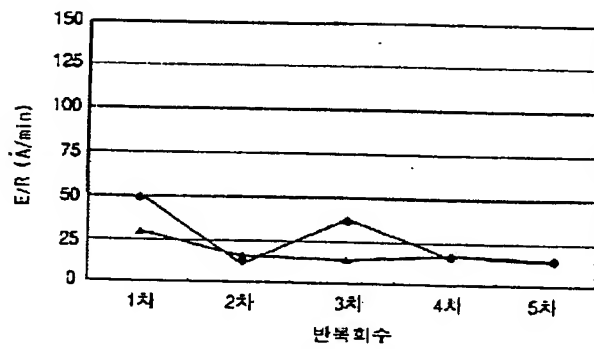
도면5b



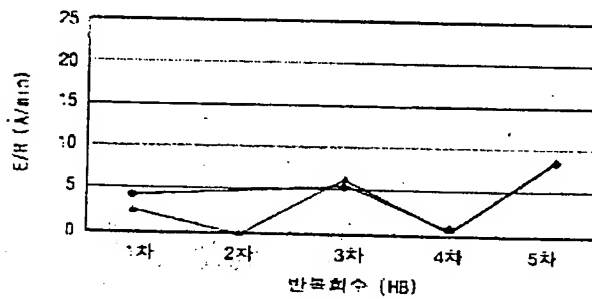
도면5c



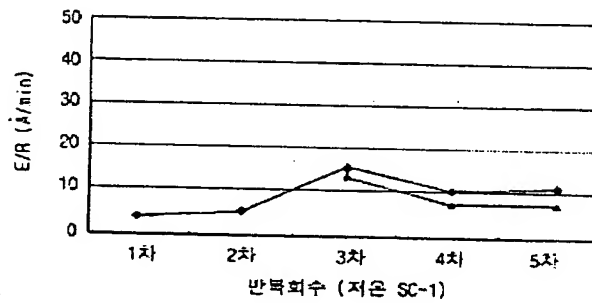
도면5d



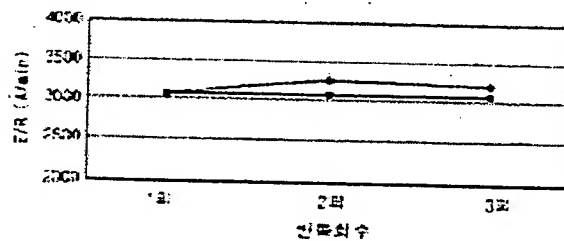
도면5e



도면5f



도면5g



THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)